

DOI: [10.46793/CIGRE37.D2.11](https://doi.org/10.46793/CIGRE37.D2.11)**D2.11****ТЕСТИРАЊЕ ТАЧНОСТИ РАДА IEEE 1588V2 (PTP) ПРОТОКОЛА
НА РАЗЛИЧИТИМ ПРОЦЕСОРСКИМ СИСТЕМИМА****TESTING THE ACCURACY OF IEEE 1588V2 (PTP) PROTOCOL
ON DIFFERENT PROCESSOR SYSTEMS****Anka Kabović*, Milenko Kabović, Vladimir Čelebić, Iva Salom**

Кратак садржај: Прецизно одређивање времена догађаја у електроенергетском систему се користи у сврху надгледања мреже, координације рада и заштите, да би се њиховом анализом спречили већи поремећаји и испад система. Због све веће примене стандарда IEC 61850, увећава се број апликација које захтевају прецизну синхронизацију времена коришћењем протокола IEEE 1588v2 (PTP – *Precision Time Protocol*), који омогућава синхронизацију времена са повећаном тачношћу бољом од 1 ms, коришћењем софтверског и хардверског одређивања временске ознаке. Хардверска реализација PTP протокола код које се користе нижи слојеви OSI модела за генерисање временских маркера може побољшати тачност синхронизације на бољу вредност од 20 ns. Да би се омогућило повећање брзине на Етернет интерфејсима код уређаја дистантне заштите TZ-600 било је неопходно тестирати нове хардверске компоненте које би омогућиле већу брзину Етернета, пре свега нових процесорских система, као и одговарајућих РНУ интерфејсних дигиталних блокова. Поред испитивања брзине преноса било је потребно одредити и тачност синхронизације времена за различите хардверске конфигурације. У раду су приказане основне могућности нових хардверских платформи заснованих на ARM процесорима SoC (*System on Chip*) Zynq 7000 и Zynq UltraScale+. Затим је приказана тест конфигурација за тестирање PTP протокола, као и добијени резултати, тј. постигнута прецизност временске синхронизације и извршено је поређење са претходним тестирањима са циљем избора најбоље конфигурације.

Кључне речи: - PTP протокол, Zynq 7000, Zynq UltraScale+, процесорски систем, синхронизација времена, тачност синхронизације

Abstract: Precise event time determination in power systems is used for network monitoring, operation coordination, and protection, aiming to prevent major disturbances and system failures through analysis. With the increasing adoption of the IEC 61850 standard, the number of applications requiring precise time synchronization using the IEEE 1588v2 protocol (PTP – Precision Time Protocol) is growing. This protocol enables time synchronization with an accuracy better than 1 ms using both software and hardware timestamping. A hardware implementation of the PTP protocol, which utilizes lower OSI model layers for generating time markers, can improve synchronization accuracy to better than 20 ns.

* anka.kabovic@pupin.rs, Институт Михајло Пупин, Волгина 15, Београд

To enhance Ethernet interface speeds in TZ600 distance protection devices, it was necessary to test new hardware components that enable higher Ethernet speeds, particularly new processor systems and corresponding PHY interface digital blocks. In addition to examining transmission speed, it was also necessary to determine time synchronization accuracy for different hardware configurations. This paper presents the fundamental capabilities of new hardware platforms based on ARM SoC (*System on Chip*) Zynq 7000 and Zynq UltraScale+ processors. It also describes the test setup for evaluating the PTP protocol, along with the obtained results—achieved synchronization precision—and compares them with previous tests to select the optimal configuration.

Key word - PTP protocol, Zynq 7000, Zynq UltraScale+, processor system, time synchronization, synchronization accuracy

1 УВОД

Утврђивање тачног времена и редоследа догађаја (SOE – *Sequence of Events*) у електроенергетским постројењима постало је могуће захваљујући увођењу дигиталних релеа. Прецизни временски подаци омогућавају корелацију догађаја широм електроенергетске мреже и служе као основа за реконструкцију и утврђивање узрока настанка појединих поремећаја у систему. Тачност временске синхронизације уређаја од око 1 ms сматра се довољном за потребе SOE извештавања. Временска синхронизација уређаја се у почетку реализовала серијским протоколом IRIG-B (*Inter-Range instrumentation Group time code B*) преко наменских медија за пренос информација о тачном времену – коаксијалних или оптичких каблова. Каблови за временску синхронизацију и каблови за пренос података постојали су као две физички одвојене инфраструктуре, све док нису развијене технологије синхронизације времена у мрежама са пакетском комутацијом: NTP (*Network Time Protocol*) [1], SNTP (*Simple Network Time Protocol*) и PTP (*Precision Time Protocol*) [2]. Захваљујући чињеници да се информације за временску синхронизацију и подаци преносе истом мрежом, предност ових протокола је смањена количина каблова између извора тачног времена и уређаја у систему. Такође, нема ограничења у погледу максималне удаљености од извора тачног времена, за разлику од IRIG-B решења са максималним дометом до око 150 m. Уз то, извор тачног времена захтева да буде постављен близу антене, која мора имати скоро потпуну видљивост ка небу због пријема GNSS (*Global Navigation Satellite System*) сигнала [3].

Све ове чињенице представљају изазов у окружењима где постоји велика удаљеност између извора тачног времена и крајњег уређаја, као што је на пример хидроелектрана. Заштитни уређаји се обично налазе у подножју бране, у близини генераторске турбине, док се опрема за синхронизацију времена, која укључује извор тачног времена и антену, мора налазити на врху бране како би неометано примала GNSS сигнал.

Етернет мреже имплементиране преко оптичких влакана могу постићи растојања већа од 100 km. У погледу тачности синхронизације NTP протокол је лошији (0,2 – 10 ms) од IRIG-B протокола (око 1 μ s), док PTP обезбеђује сличну или већу тачност (100 ns - 1 μ s). Коришћењем PTP протокола могуће је дистрибуирати временску референцу високе тачности на много већим растојањима коришћењем пакетске мреже, чиме се решавају примене у којима су удаљеност или препреке за антену представљале проблем. PTP протокол подржава редундансу и омогућава конфигурисање више потенцијалних главних сатова (*grandmaster clocks*) у оквиру једне мреже. PTP бира примарни сат из доступних потенцијалних главних сатова у мрежи, при чему тај примарни сат представља крајњи извор времена за целу PTP мрежу.

Остали потенцијални главни сатови могу аутоматски преузети ту улогу уколико тренутни примарни сат постане недоступан. РТР такође подржава редундантне путање од главног сата до IED (Intelligent Electronic Device) уређаја, које су реализоване унутар топологије Етернет мреже. Коришћење редундантних топологија у мрежи доприноси ублажавању последица губитка временске синхронизације услед отказа у комуникационој путањи.

Прецизна синхронизација времена у електроенергетским системима представља изазов, јер се не захтева само прецизно мерење времена на великом географском подручју, већ и безбедна и поуздана дистрибуција временских информација мора бити обезбеђена у сваком тренутку. Заједничко референтно време је од кључног значаја за надгледање мреже, свест о ситуацији у реалном времену, координацију рада система и заштиту електроенергетског система и његове имовине. Ипак, проблеми се могу јавити услед лошег постављања антене, софтверских грешака у фирмверу уређаја, проблема са интероперабилношћу и поузданошћу саме архитектуре синхронизације.

Током последњих неколико деценија захтеви за синхронизацијом времена код система заштите у електропривреди драстично су се променили, од примена које нису захтевале временску референцу, до примена које захтевају тачност синхронизације времена испод 1 μ s. Растућа забринутост у вези са глобалним загревањем и све веће коришћење дистрибуираних енергетских ресурса (DER – Distributed Energy Resources) условили су промену код система заштите. Дистрибуирани енергетски ресурси се могу инсталирати било где као индивидуалне машине или груписани у већем броју у ветропаркове, односно соларне електране. За многе од њих не можемо да знамо када ће бити доступни, а са друге стране њихово понашање током кварова кратког споја или других нерегуларних стања у раду система се разликује од класичних система са синхроним генераторима. Истовремено, њихово повезивање на дистрибутивну мрежу у потпуности мења захтеве за заштиту и контролу [4]. Због свега наведеног се као једно од кључних решења намеће да треба имати бољу свест о статусу система уз бржу идентификацију и отклањање грешака, што не може бити постигнуто без брзе, безбедне и поуздане комуникације.

У IEC 61850-5 [5] дефинисано је 6 синхронизационих класа у електропривредним системима, приказаних у табели Табела I.

Табела I: Синхронизационе класе дефинисане у IEC 61850-5 [5]

КЛАСА ВРЕМЕНСКЕ СИНХРОНИЗАЦИЈЕ	СИНХРОНИЗАЦИОНА ГРЕШКА
TL	> 10 ms
T0	10 ms
T1	1 ms
T2	100 μ s
T3	25 μ s
T4	4 μ s
T5	1 μ s

За већину апликација у електропривреди тачност синхронизације од 25 μ s (класа T3) је задовољавајућа. Међутим за поједине апликације, као што су одбирци измерених вредности (*Sampled Values* – SV) или синхрофазори, потребно је обезбедити тачност синхронизације од 1 μ s (класа T5) или већу, стога је неопходно користити РТР протокол. За омогућавање адекватне тачности најчешће се користи GNSS као извор тачног времена.

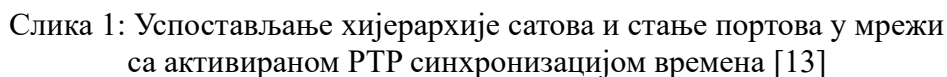
Еволуција Етернет технологије се све више помера ка гигабитним брзинама, па је због тога, да би се омогућило повећање брзине на Етернет интерфејсима код уређаја дистантне заштите TZ-600, било је неопходно тестирати нове хардверске компоненте које би омогућиле већу брзину Етернета, пре свега нових процесорских система, као и одговарајућих РНУ интерфејсних дигиталних блокова. Поред испитивања брзине преноса било је потребно одредити и тачност синхронизације времена за различите хардверске конфигурације.

Као што је поменуто, захтевана тачност за поједине примене имплицира примену РТР протокола. Стога је спроведено тестирање рада РТР протокола на различитим платформама са ARM процесорима *Zynq 7000* и *Zynq UltraScale+*, које се разматрају за имплементацију следеће генерације TZ-600 уређаја. При томе, у литератури постоји неколико примера различитих имплементација и тестирања РТР протокола на овим платформама [6]-[12]. У раду је приказано следеће: опис рада и врсте РТР протокола, карактеристике тестираних платформи, софтверска имплементација РТР протокола у оквиру *Linux* оперативног система, опис тестног система и резултати.

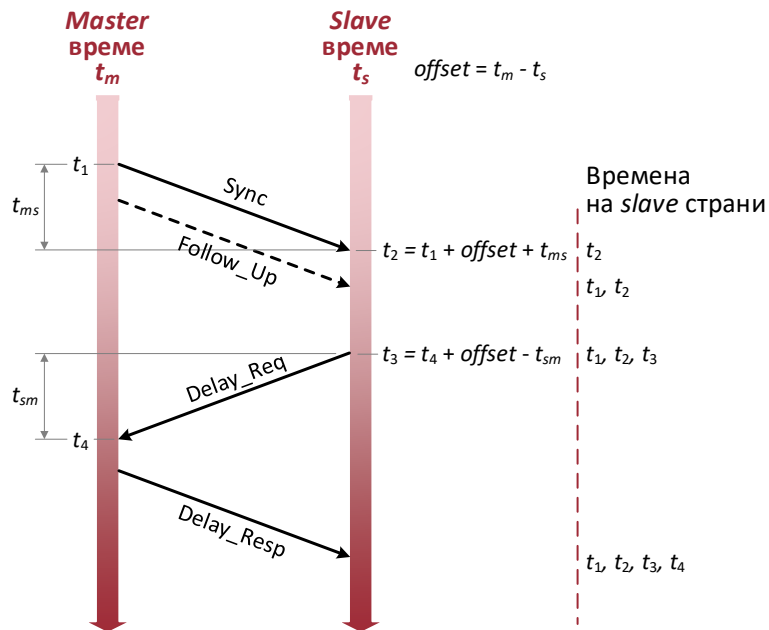
2 РТР ПРОТОКОЛ

РТР протокол представља основни део IEEE 1588 [2],[13] стандарда који постиже високу прецизност временске синхронизације реда величине наносекунди генерисањем временских маркера на хардверском нивоу, и на тај начин се избегавају кашњења и непрецизности које уноси софтверска обрада. Протокол користи *master-slave* структуру за синхронизацију сатова у мрежи. Постоје две основне верзије IEEE 1588 стандарда: IEEE 1588v1 (из 2002. године) и IEEE 1588v2 (из 2008. године) при чему се верзије не могу комбиновати у истој мрежи. Друга верзија има више побољшања у односу на прву пре свега у погледу побољшане тачности (реда наносекунди), брже синхронизације захваљујући смањеном интервалу између порука, краће поруке за смањење пропусног опсега итд. Поред тога, постоји и IEEE 1588v2.1 (из 2019. године) [2] чија се побољшања пре свега односе на безбедносне стандарде.

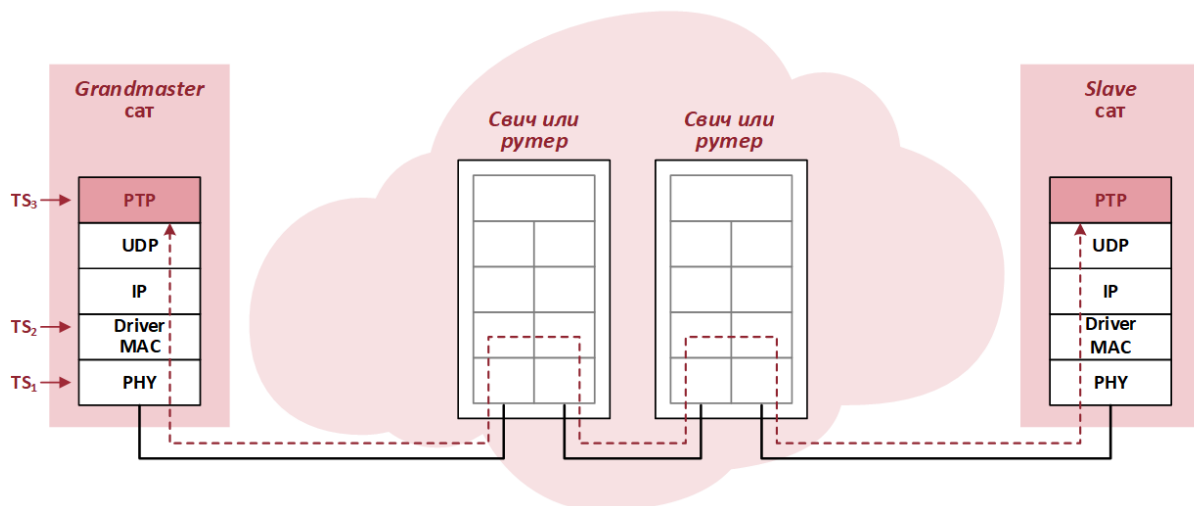
Master сат је одговоран за преношење временске информације до *slave* сатова континуалном разменом пакета са временским ознакама. *Slave* сатови израчунавају временско одступање на бази синхронизационог алгоритма, и извршавају подешавање свог времена како би се синхронизовали са *master* сатом. Они се на тај начин синхронизу са јединственим *master* сатом, који се назива *grandmaster (GM)*. Сатови у мрежи на основу *BMCA (Best Master Clock Algorithm)* алгоритма дефинишу *master-slave* хијерархију и бирају најбољег *master* сат. Сваки РТР порт сата може бити у *master*, *slave* или пасивном стању. Пасивни портови спречавају стварање временских петљи и конфликтних *master* портова у истој хијерархији. Стање портова се може мењати током времена. Промене настају услед кvara на сатовима или у мрежи након чега *BMCA* алгорита поново успоставља хијерархију и бира најбољег *master* сат, чиме се обезбеђује редундантност система. Успостављање хијерархије сатова је приказано на слици 1 [13].


$$t_{ms} = \frac{t_4 - t_3 + t_2 - t_1}{\gamma}, \quad offset = t_2 - t_1 + t_{ms} \quad (1)$$

Основна мрежна РТР архитектура приказана је на слици 3. РТР протокол припада другом или трећем слоју OSI (Open System Interconnection) модела, што се односи на место генерисања временских маркера (timestamping). Сама софтверска имплементација апликативног дела РТР протокола налази се у оквиру апликативних слојева. Генерално, *timestamping* може бити софтверски или хардверски, у зависности од места генерисања временских маркера. *Timestamping* може да се врши на једном од три места, обележених са TS_1 , TS_2 и TS_3 на слици 3. Софтверски *timestamping* се врши у вишим слојевима OSI модела (TS_3), а хардверски у првом или другом слоју (TS_1 или TS_2). Софтверски *timestamping* је мање прецизан – прецизност синхронизације времена износи око десетак микросекунди што се показало и током тестирања, док хардверски начин генерисања временских маркера постиже прецизност испод $1\ \mu s$.

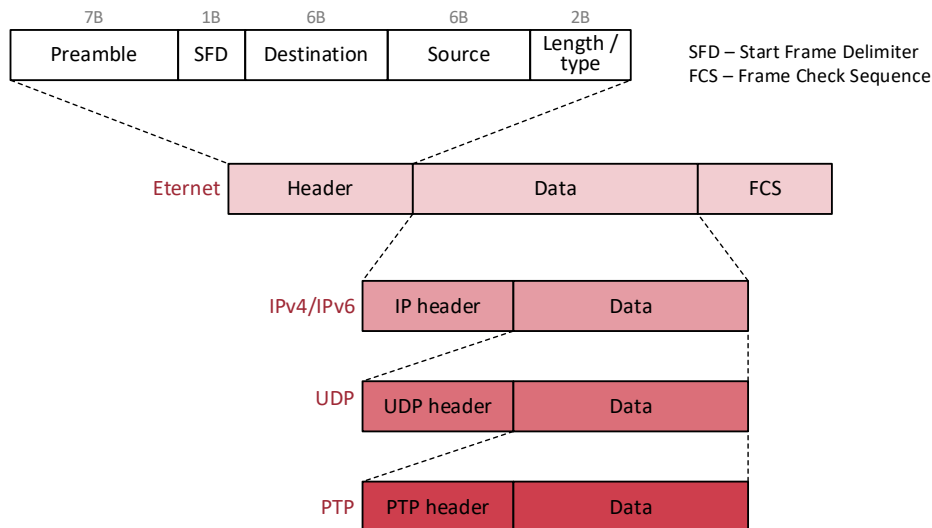


Слика 2: Размена порука у оквиру PTP протокола између *master* и *slave* сатова [8],[11],[13]



Слика 3: Основна мрежна PTP архитектура [11],[13]

На слици 4 приказан је изглед Етернет пакета (IEEE 802.3) и енкапсулација PTP пакета у оквиру њега [6],[7],[13]. Формат PTP заглавља приказан је у табели Табела II. PTP заглавље се састоји од 34 бајта са следећим значењем: *messageLength* се односи на дужину PTP поруке у бајтовима; *domainNumber* означава групу сатова који се међусобно синхронизују (сатови са различитим бројевима домена нису нужно међусобно синхронизовани); *sourcePortIdentity* садржи податке о идентификацији сата и порта са ког порука потиче; *sequenceID* се односи на редни број сваког типа поруке; *controlField* представља још један начин да се утврди о којој врсти PTP поруке је реч. Различите PTP поруке имају различите вредности овог поља.



Слика 4: Изглед Етернет пакета (IEEE 802.3) и енкапсулација РТР пакета у оквиру њега [6],[7],[13]

Табела II: Формат РТР заглавља [13]

Бити								бајт	померај
7	6	5	4	3	2	1	0		
transportSpecific				messageType				1	0
Reserved				versionPTP				1	1
messageLength								2	2
domainNumber								1	4
Reserved								1	5
Flags								2	6
correctionField								8	8
Reserved								4	16
sourcePortIdentity								10	20
sequenceID								2	30
controlField								1	32
logMessageInterval								1	22

3 ZYNQ ПЛАТФОРМЕ

Zynq-7000 су биле прве *Xilinx* такозване SoC (*System on Chip*) платформе, које садрже процесорски систем PS (*Processing System*), базиран на ARM процесору, и програмабилну логику PL (*Programmable Logic*) реализовану као FPGA (*Field Programmable Gate Array*) [15]. *ZynqMP* (*MultiProcessor*) SoC је следећа генерација ових платформи која садржи више различитих процесора. *UltraScale+* се односи на FPGA фамилију, која је доста напредовала у односу на претходне *Xilinx* FPGA серије 7 (*Artix-7* или *Kintex-7*). У табели Табела III дато је поређење наведених платформи.

Тестови рада РТР протокола спроведени су на 3 модула: развијени CPUv5 модул базиран на *Zynq-7020* платформи, *Trenz* модул TE0715 [17], базиран на *Zynq-7030* платформи, и *Trenz* модул TE0820 [18], базиран на *Zynq UltraScale+ ZU2CG* платформи. У табели Табела IV дато је поређење ове три платформе. GEM (Gigabit Ethernet MAC) Етернет контролери процесорског система су коришћени за тестирање РТР протокола.

Табела III: Поређење Zynq платформи [15]

Секција	Тип ресурса	UltraScale+ FPGA	Zynq-7000	ZynqMP SoC
Processing System	Application processor	n/a	Arm Cortex-A9 (dual core, 32-bit)	Arm Cortex-A53 (dual or quad core, 64-bit)
	Realtime processor	n/a	-	Arm Cortex-R5 (dual core, 32-bit)
	Graphics processor	n/a	-	Arm Mali-400
Programable Logic	Video processor	n/a		
	Logic cells [max]	3.780 K	444 K	1.143 K
	DSP slices [max]	12.288 (DSP48E2)	2.020 (DSP48E1)	3.528 (DSP48E2)
	Memory types	Distributed BlockRAM, UltraRAM	Distributed BlockRAM	Distributed BlockRAM, UltraRAM
	Total Block RAM & UltraRAM memory	up to 454,5 Mb	up to 25,5 Mb	up to 70,6 Mb

Trenz модули могу се користити са неком од понуђених Trenc основних плоча, а у тестовима су ова два модула постављена на основну плочу TE0707 [19]. Ова плоча, између осталог, садржи и CPLD програмабилну логику, која повезује одређене пинове процесорског система главног модула (Zynq-7030 или Zynq UltraScale+ ZU2CG) са периферијама на основној плочи. Постоји неколико корисничких сигнала, који се са пинова Zynq процесорске компоненте директно прослеђују преко CPLD програмабилне логики ка LED диодама и push-button тастеру на основној плочи. Сигнал ка једној од LED диода, ради мерења тачности синхронизације је искоришћен је за прослеђивање PPS (Pulse Per Second) сигнала, активирањем драјвера за генерисање PPS сигнала на GPIO пину у PL делу. PPS сигнал представља најпростију форму синхронизације. Он не садржи информацију о времену у одређено доба дана или године, већ означава почетак сваке секунде у складу са референтним сатом појавом импулса трајања најчешће од 100 ms.

GEM Етернет интерфејс Trenc модула, који је изабран за тестирање, је преко RGMII интерфејса повезан са PHY модулом Marvell 88E1512 [20]. Овај модул поседује 10/100/1000 Mbps Етернет трансивер којим се имплементира физички слој Етернета по стандардима 1000BASE-T, 100BASE-TX и 10BASE-T. Поједине верзије модула поседују подршку за IEEE1588v2 (PTP) протокол.

Модул CPUv5 базиран је на Zynq-7020 платформи. Тестирање рада PTP протокола на овом модулу вршено је коришћењем специјално пројектоване надплочице. На надплочици се налази PHY компонента DP83640 [22], која је преко MII интерфејса повезана са Етернет интерфејсом и GEM1 контролером, а преко диференцијалних предајних и пријемних линија повезана је са SFP модулом. PHY компонента DP83640 има могућност хардверског генерисања временских маркера за поруке које се размењују у току рада PTP протокола.

DP83640 PHY компонента има интегрисану подршку за рад IEEE 1588v1 и v2 протокола. Поред тога, она подржава пренос пакета по протоколима UDP/IPv4, UDP/IPv6 и Етернет пакета (слој 2 OSI модела), омогућава прецизну синхронизацију времена са главним мастер сатом, поседује могућност генерисања тригер сигнала или тактова на пиновима опште намене, као и детектовање спољних догађаја са временским маркирањем.

Интерфејс према MAC слоју може бити RMII v1.2 или MII типа, и захтева спољашњи референтни такт фреквенције 25 MHz. Такође, компонента подржава рад са жичаним или оптичким интерфејсом у дуплексном или полудуплексном моду са брзинама 10/100 Mbps. У конкретном случају рада на надплочици за CPU модул телезаштитног уређаја, DP83640 PHY компонента је подешена за рад са оптичким интерфејсом брзином од 100 Mbps, у дуплексном моду рада.

Компонента DP83640 има могућност генерисања PPS сигнала на свом пину GPIO па је овај сигнал коришћен за проверу тачности синхронизације осцилоскопом.

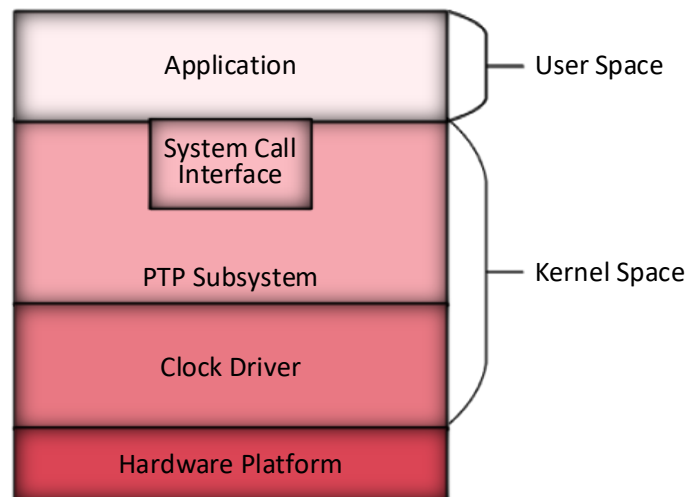
Табела IV: Карактеристике тестираних палтформи

	Z-7020	Z-7030	ZU2CG
Тип процесора	Dual core Arm Cortex-A9		Dual core Arm Cortex-A53 Dual core Arm Cortex-R5
Максимална фрекв. проц. такта	866 MHz	1 GHz	1.3 GHz 533 MHz
Тип програмабилне логике	<i>Artix-7</i>	<i>Kintex-7</i>	<i>UltraScale+</i>
Број флип-флопова	106400	157200	94000
Број LUT-ova	53200	78600	47000
Број логичких ћелија	85K	125K	103K
Број блок RAM	4,9	9,3	5,3
Број DSP48E1	220	400	240
Број GEM (<i>Gigabit Ethernet</i> MAC)	2	2	4

4 ПОДРШКА ЗА РАД РТР ПРОТОКОЛА У LINUX ОПЕРАТИВНОМ СИСТЕМУ

На слици 5 приказана је имплементација РТР протокола у *Linux* оперативном систему. Имплементација РТР протокола у оквиру кернела оперативног система *Linux* је подељена на три дела: интерфејс према апликативном слоју, РТР подсистем и драјвери за хардверске сатове. Посебно је значајна подршка за контролу хардверског сата и временског означавања пакета у хардверском слоју [6], као и подршка за синхронизацију *Linux* системског времена са хардверским сатом [13].

За тестирање рада РТР протокола коришћен је стандардни софтвер тзв. „отвореног кода“ *linuxptp* [23]. Софтвер је инсталиран на *host* рачунару са *Ubuntu Linux* 22.04 оперативним системом, као и на развојном модулу. За прилагођење софтвера за рад на развојном модулу коришћено је *Xilinx* софтверско развојно окружење *Vivado Design Suite* и *Vitis Software Platform*, док су сегменти оперативног система *Linux* генерисани у *Petalinux* развојном окружењу. *Linuxptp* софтвер обухвата више различитих апликација, као што су: *ptp4l*, *nsm*, *pmc*, *phc2sys*, *hwstamp*, *phc_ctl*, *timemaster*, *ts2phc*. Основни програм који подржава рад РТР протокола и који је коришћен у тестирању је *ptp4l*. Програм *phc2sys* служи за синхронизацију системског такта са хардверским, а програм *pmc* служи за слање управљачких порука главном софтверу *ptp4l*, као и за приказивање његових одговора. Програм *phc_ctl* служи за управљање хардверским сатом.



Слика 5: Имплементација РТР протокола у *Linux* оперативном систему

Апликација `Test_PTP1` за подршку и тестирање рада РТР протокола, која је инсталирана на развојном модулу, направљена је помоћу Vitis развојног окружења. `Test_PTP1` је *ptp4l* апликација, прилагођена за рад на развојном модулу са *Zynq 7000* и *Zynq UltraScale+* процесорима.

5 ТЕСТИРАЊЕ РТР ПРОТОКОЛА

5.1 Тест окружење

На слици 6 приказано је окружење за испитивање прецизности временске синхронизације помоћу РТР протокола. Тестирани модул је повезан са `host` рачунаром, који служи као терминал за управљање апликацијама на модулу.

Тестирани модул је Етернет интерфејсом повезан са `master` извором тачног времена – уређајем *Albedo* [24]. *Albedo* је повезан на GPS антену и има уграђен GPS пријемник чинећи га референтним извором тачног времена. *Albedo* је конфигурисан као активни IEEE1588 ентитет са следећим параметрима:

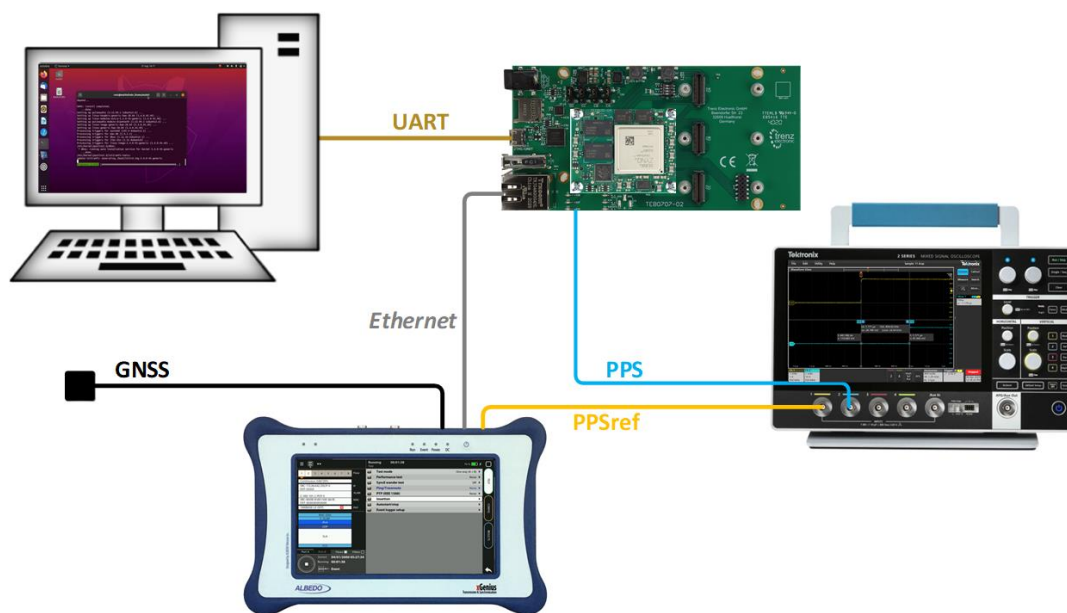
- *Clock emulation:* *Master*
- транспортни протокол: *Ethernet*
- *Addressing mode:* *Multicast*
- *Path delay mechanism:* *End-to-end*
- *Domain:* 0
- *Priority1* и *Priority2:* 127.

У конфигурационом фајлу апликације за примену РТР протокола у фајл систему тестираног модула подешени су параметри, између осталих:

- *Priority1* и *Priority2:* 127
- *Step_threshold:* 0.0000008
- *First_step_threshold:* 0.0000005
- *Ptp_dst_mac:* *Multicast*
- *MAC:* 01:1b:19:00:00:00
- *Clock_type:* OC
- *Network_transport:* L2
- *Delay_mechanism:* E2E.

REF_OUT излаз уређаја *Albedo* повезан је на први канал осцилоскопа, док је одговарајући пин тестираног модула, на који је доведен PPS сигнал, повезан на други канал осцилоскопа. На осцилоскопу је подешено мерење временске разлике узlazних ивица ова два сигнала.

После подизања Linux оперативног система на сваком од тестираних модула, извршена је провера конфигурације Етернет интерфејса, као и провера брзине овог интерфејса и провера подршке за рад РТР протокола. Провере су извршене помоћу *mii-tool* и *ethtool* – *T* команди са називом етернет интерфејса као параметром. На слици 7 приказан је резултат извршења ових наредби: на модулу TE0715 (слика 7а) и на модулу TE0820 (слика 7б). На слици 7а може се уочити да на модулу TE0715 не постоји РТР хардверски такт, тј. да интерфејс *eth1* подржава само софтверски РТР протокол, што значи да верзија *Marvell* PHY кола на TE0715 модулу нема подршку за хардверски РТР протокол (само верзије *Marvell* PHY која које имају суфикс Р имају подршку за хардверски РТР протокол). На слици 7б се види да модул TE0820 подржава и софтверско и хардверско генерисање временских маркера, али да не постоји РТР хардверски сат. Тестирање је показало да је хардверско временско маркирање омогућено у PHY модулу, сходно томе резултати грешке синхронизације времена су много повољнији када се у конфигурацији оперативног система *Linux* омогући опција *Timestamping in PHY devices*.



Слика 6: Окружење за испитивање прецизности РТР протокола

```
ubuntu@arm:~/TestPTP$ sudo mii-tool eth1
eth1: negotiated 1000baseT-FD, link ok
ubuntu@arm:~/TestPTP$ sudo ethtool -T eth1
Time stamping parameters for eth1:
Capabilities:
  software-transmit    (SOF_TIMESTAMPING_TX_SOFTWARE)
  software-receive     (SOF_TIMESTAMPING_RX_SOFTWARE)
  software-system-clock (SOF_TIMESTAMPING_SOFTWARE)
PTP Hardware Clock: none
Hardware Transmit Timestamp Modes: none
Hardware Receive Filter Modes: none
ubuntu@arm:~/TestPTP$ sudo systemctl is-enabled ntp
Failed to get unit file state for ntp.service: No such file or directory
ubuntu@arm:~/TestPTP$
```

```
ubuntu@arm:~$ sudo ethtool -T eth0
Time stamping parameters for eth0:
Capabilities:
  hardware-transmit    (SOF_TIMESTAMPING_TX_HARDWARE)
  software-transmit    (SOF_TIMESTAMPING_TX_SOFTWARE)
  hardware-receive     (SOF_TIMESTAMPING_RX_HARDWARE)
  software-receive     (SOF_TIMESTAMPING_RX_SOFTWARE)
  software-system-clock (SOF_TIMESTAMPING_SOFTWARE)
  hardware-raw-clock   (SOF_TIMESTAMPING_RAW_HARDWARE)
PTP Hardware Clock: 0
Hardware Transmit Timestamp Modes:
  off    (HWTSTAMP_TX_OFF)
  on     (HWTSTAMP_TX_ON)
  one-step-sync (HWTSTAMP_TX_ONESTEP_SYNC)
Hardware Receive Filter Modes:
  none    (HWTSTAMP_FILTER_NONE)
  all     (HWTSTAMP_FILTER_ALL)
```

Слика 7: Провера брзине рада Етернет интерфејса као и подршке за рад РТР протокола
а) на модулу TE0715, б) на модулу TE0820

5.2 Тестирање модула TE0715

У складу са тестом приказаним на слици 7а, у конфигурационом фајлу је подешено да је тип РТР протокола софтверски (*software timestamping*). Након извршене конфигурације, покренута је **Test_PTP1** апликација:

```
sudo ./Test_PTP1.elf -i eth1 -f configs/default.cfg -m &
```

Значење појединих опција са којима је покренута апликација је следеће: **-i** служи за дефинисање интерфејса преко кога се примају поруке за синхронизација системског времена, **-f** означава назив конфигурационог фајла који користи апликација, **-m** означава мод рада програма са исписивањем порука. На терминалу (*host* рачунар) се исписују поруке да је детектован *master* РТР такт, и да се системски такт развојног модула подешава према *master* такту са *Albedo* уређаја – слика 8. Синхронизацијска грешка се исписује у *rms* колони.

Резултати мерења тачности синхронизације осцилоскопом приказани су на слици 9. Види се да се тачност реализоване софтверске РТР синхронизације креће у опсегу од око 12 μ s. Разлике које се уочавају између добијених софтверских вредности исписаних као резултат извршавања програма, и вредности измерених осцилоскопом потичу од кашњења PPS сигнала на пину LED диоде, које укључује време пропагације сигнала у систему и време процесирања сигнала кроз CPLD програмабилну логику на основној плочи TEB0707.

```
rwrxwrxr-x 1 ubuntu ubuntu 1362584 Aug 22 2023 Test_PTP1.elf
drwxrwxr-x 2 ubuntu ubuntu 4096 Mar 11 13:10 configs
-rw-rw-r-- 1 ubuntu ubuntu 4657 Aug 23 2023 configs.tgz
ubuntu@arm:~/TestPTPS$ sudo ./Test_PTP1.elf -i eth1 -f configs/default.cfg -m
Test_PTP1.elf[881.040]: port 1 (eth1): INITIALIZING to LISTENING on INIT_COMPLETE
Test_PTP1.elf[881.041]: port 0 (/var/run/ptp4l): INITIALIZING to LISTENING on INIT_COMPLETE
Test_PTP1.elf[881.041]: port 0 (/var/run/ptp4lro): INITIALIZING to LISTENING on INIT_COMPLETE
Test_PTP1.elf[881.041]: port 1 (eth1): received SYNC without timestamp
Test_PTP1.elf[881.145]: port 1 (eth1): new foreign master 00db1e.ffff.0019cc-1
Test_PTP1.elf[881.395]: selected best master clock 00db1e.ffff.0019cc
Test_PTP1.elf[881.395]: port 1 (eth1): LISTENING to UNCALIBRATED on RS_SLAVE
Test_PTP1.elf[881.507]: port 1 (eth1): minimum delay request interval 2^-4
Test_PTP1.elf[882.457]: rms 60881650693 max 60881656868 freq +0 +/- 0 delay 25475 +/- 1101
Test_PTP1.elf[883.457]: rms 60881647361 max 60881656232 freq +0 +/- 0 delay 22152 +/- 1061
Test_PTP1.elf[884.457]: rms 60881648508 max 60881657285 freq +0 +/- 0 delay 24028 +/- 1114
Test_PTP1.elf[885.457]: rms 60881646338 max 60881652974 freq +0 +/- 0 delay 22457 +/- 1024
Test_PTP1.elf[886.457]: rms 60881644955 max 60881656904 freq +0 +/- 0 delay 23026 +/- 1263
Test_PTP1.elf[887.457]: rms 60881644896 max 60881651914 freq +0 +/- 0 delay 22519 +/- 966
Test_PTP1.elf[888.457]: rms 60881644997 max 60881654487 freq +0 +/- 0 delay 23473 +/- 1251
...
Test_PTP1.elf[2873.551]: rms 7939 max 15173 freq +1160 +/- 0 delay 24336 +/- 1266
Test_PTP1.elf[2874.551]: rms 6637 max 13112 freq +1160 +/- 0 delay 23694 +/- 1617
Test_PTP1.elf[2875.551]: rms 8292 max 22003 freq +1141 +/- 49 delay 25549 +/- 302
Test_PTP1.elf[2876.551]: rms 7200 max 17543 freq +1011 +/- 0 delay 21845 +/- 1254
Test_PTP1.elf[2877.551]: rms 7355 max 12474 freq +1011 +/- 0 delay 22220 +/- 846
Test_PTP1.elf[2878.551]: rms 6021 max 15720 freq +1011 +/- 0 delay 23124 +/- 632
Test_PTP1.elf[2879.551]: rms 8091 max 12950 freq +1011 +/- 0 delay 22864 +/- 717
Test_PTP1.elf[2880.551]: rms 7336 max 16711 freq +1011 +/- 0 delay 22503 +/- 2091
Test_PTP1.elf[2881.551]: rms 8550 max 22326 freq +1011 +/- 0 delay 22593 +/- 1586
Test_PTP1.elf[2882.551]: rms 7532 max 17996 freq +1011 +/- 0 delay 22993 +/- 1224
Test_PTP1.elf[2883.551]: rms 6863 max 14663 freq +1011 +/- 0 delay 23987 +/- 912
Test_PTP1.elf[2884.551]: rms 8205 max 19757 freq +1011 +/- 0 delay 22583 +/- 1244
Test_PTP1.elf[2885.551]: rms 8502 max 26303 freq +1011 +/- 0 delay 23223 +/- 715
Test_PTP1.elf[2886.551]: rms 7428 max 17203 freq +1011 +/- 0 delay 21429 +/- 999
Test_PTP1.elf[2887.551]: rms 6795 max 11509 freq +1011 +/- 0 delay 21715 +/- 839
Test_PTP1.elf[2888.551]: rms 5146 max 9920 freq +1011 +/- 0 delay 23194 +/- 1023
Test_PTP1.elf[2889.551]: rms 8847 max 17092 freq +1011 +/- 0 delay 21264 +/- 607
Test_PTP1.elf[2890.551]: rms 9205 max 18197 freq +1011 +/- 0 delay 20341 +/- 1117
Test_PTP1.elf[2891.551]: rms 7302 max 14626 freq +1011 +/- 0 delay 21851 +/- 691
Test_PTP1.elf[2892.551]: rms 7006 max 16344 freq +1011 +/- 0 delay 23736 +/- 239
Test_PTP1.elf[2893.551]: rms 8419 max 16140 freq +1011 +/- 0 delay 23712 +/- 666
Test_PTP1.elf[2894.551]: rms 6729 max 15122 freq +1011 +/- 0 delay 24790 +/- 1196
Test_PTP1.elf[2895.551]: rms 6469 max 12667 freq +1011 +/- 0 delay 21456 +/- 1431
CTR-L A Z for help | 115200 8N1 | NOR | Minicom 2.8 | VT102 | Offline | ttyUSB1
```

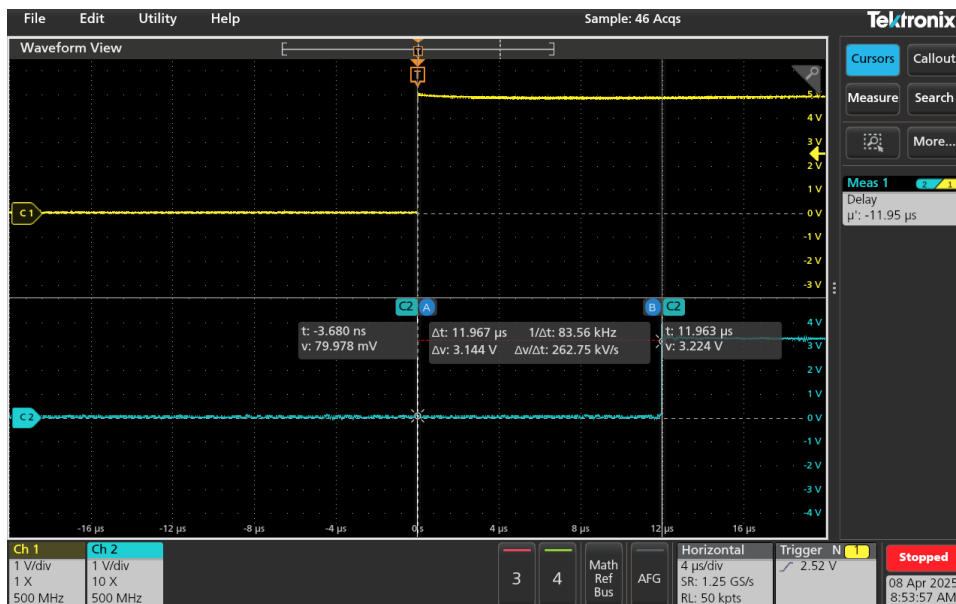
Слика 8: Покретање апликације **Test_PTP1** на развојном модулу TE0715 и рад апликације у стабилном стању после успостављене синхронизације системског времена са *master* тактом

5.3 Тестирање модула TE0820

Због постојања подршке за хардверски PTP у PHY модулу, пре покретања апликације **Test_PTP1** у кернелу *Linux* оперативног система омогућена је опција *Timestamping in PHY devices* и покренута је апликација *phc2sys* из *linuxptp* пакета да би се извршила синхронизација системског времена. Након покретања апликације **Test_PTP1** покренута је и апликација **TestPHC2SYS** (*phc2sys*):

```
sudo ./TestPHC2SYS.elf -s eth0 -c CLOCK_REALTIME -w -m &
```

Значење појединих опција са којима је покренута апликација је следеће: **-s** означава Етернет интерфејс *eth0* као извор тачног времена, **-c CLOCK_REALTIME** означава да се синхронизује системско време, **-w** означава да апликација мора да сачека резултате од **Test_PTP1** апликације, **-m** означава да се резултати исписују на терминалу. На слици 10 приказани су исписи на терминалу током рада апликације **TestPHC2SYS**.

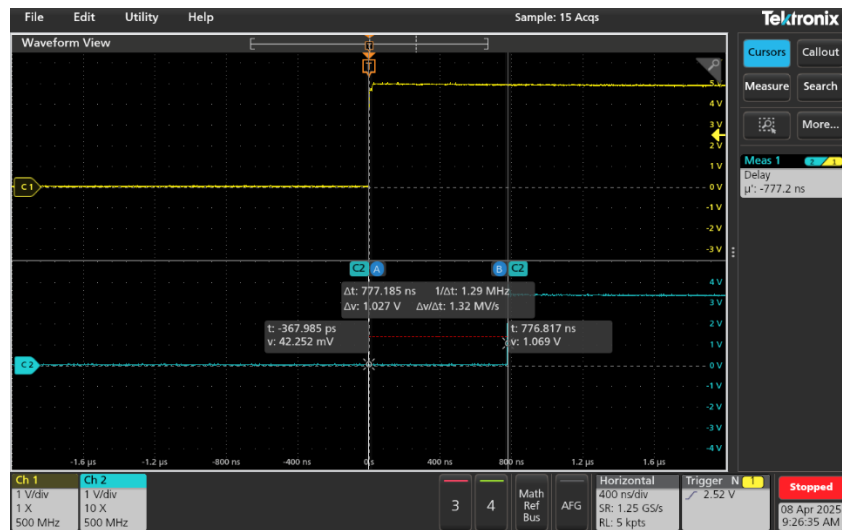


Слика 9: Мерење тачности PTP синхронизације на модулу TE0715 (канал 1 – жути: референтни PPS сигнал са уређаја *Albedo*, канал 2 – плави: PPS сигнал са модула)

```
ubuntu@arm:~/TestPTP$ TestPHC2SYS.elf[845.985]: CLOCK_REALTIME phc offset -502586237133744340
TestPHC2SYS.elf[846.986]: CLOCK_REALTIME phc offset -50258623713374537 s1 freq -103 delay0
TestPHC2SYS.elf[847.988]: CLOCK_REALTIME phc offset 23 s2 freq -80 delay 300
TestPHC2SYS.elf[848.988]: CLOCK_REALTIME phc offset -29 s2 freq -125 delay 300
TestPHC2SYS.elf[849.988]: CLOCK_REALTIME phc offset -72 s2 freq -177 delay 300
TestPHC2SYS.elf[850.988]: CLOCK_REALTIME phc offset -42 s2 freq -168 delay 300
TestPHC2SYS.elf[851.988]: CLOCK_REALTIME phc offset 10 s2 freq -129 delay 300
TestPHC2SYS.elf[852.989]: CLOCK_REALTIME phc offset 22 s2 freq -114 delay 270
TestPHC2SYS.elf[853.989]: CLOCK_REALTIME phc offset 47 s2 freq -82 delay 300
TestPHC2SYS.elf[854.989]: CLOCK_REALTIME phc offset 50 s2 freq -65 delay 300
TestPHC2SYS.elf[855.989]: CLOCK_REALTIME phc offset 58 s2 freq -42 delay 300
TestPHC2SYS.elf[856.989]: CLOCK_REALTIME phc offset 110 s2 freq +27 delay 270
TestPHC2SYS.elf[857.990]: CLOCK_REALTIME phc offset 74 s2 freq +24 delay 300
TestPHC2SYS.elf[858.990]: CLOCK_REALTIME phc offset -53 s2 freq -81 delay 300
TestPHC2SYS.elf[859.990]: CLOCK_REALTIME phc offset -40 s2 freq -84 delay 270
TestPHC2SYS.elf[860.990]: CLOCK_REALTIME phc offset -98 s2 freq -154 delay 300
TestPHC2SYS.elf[861.990]: CLOCK_REALTIME phc offset -54 s2 freq -139 delay 300
TestPHC2SYS.elf[862.990]: CLOCK_REALTIME phc offset -52 s2 freq -153 delay 300
TestPHC2SYS.elf[863.991]: CLOCK_REALTIME phc offset 96 s2 freq -21 delay 300
TestPHC2SYS.elf[864.991]: CLOCK_REALTIME phc offset 156 s2 freq +68 delay 270
TestPHC2SYS.elf[865.991]: CLOCK_REALTIME phc offset 44 s2 freq +3 delay 300
TestPHC2SYS.elf[866.991]: CLOCK_REALTIME phc offset -13 s2 freq -41 delay 300
```

Слика 10: Покретање и рад **TestPHC2SYS** апликације за синхронизацију системског времена развојног модула

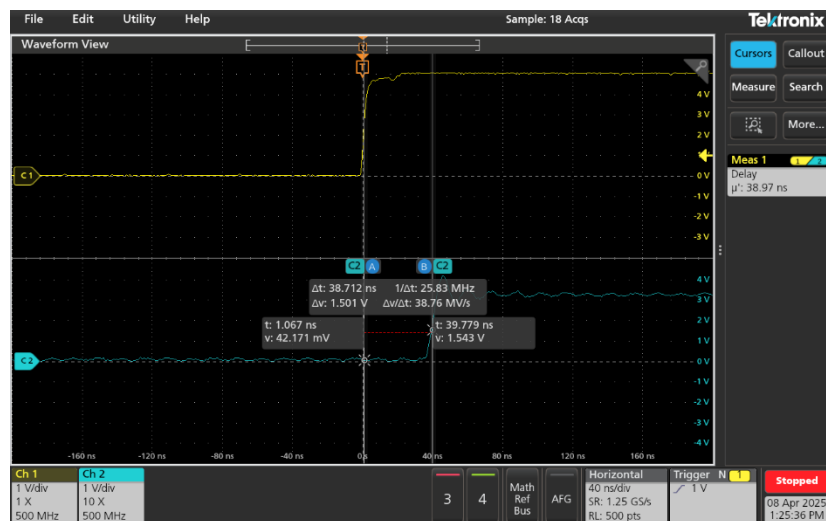
Резултати мерења тачности синхронизације осцилоскопом приказани су на слици 11. Види се да је измерена тачност реализоване хардверске PTP синхронизације око 800 ns. Очекивана тачност је значајно већа, а веће измерене вредности су и код овог модула последица кашњења сигнала кроз систем (укључујући и CPLD).



Слика 11: Мерење тачности PTP синхронизације на модулу TE0820 (канал 1 – жути: референтни PPS сигнал са уређаја *Albedo*, канал 2 – плави: PPS сигнал са модула)

5.4 Тестирање модула CPUv5

На модулу CPUv5 за тестирање PTP протокола коришћена је наменски развијена апликација **GeneratePPSv3**, која је описана у [25]. Укратко, ова апликација обухвата покретање апликација **Test_PTP1** и **TestPHC2SYS**, као и генерисање PPS сигнала на пину опште намене PNY модула DP83640 који припада Етернет интерфејсу који се тестира. Резултати мерења су приказани на слици 12. Добијене изузетно добре вредности тачности синхронизације могу се објаснити начином генерисања тестног PPS сигнала који се у овом случају генерише на пину PNY модула на коме се налази хардверски сат, за разлику од модула *Trenz* модула, где је PPS сигнал генерисан у PL делу и мерење укључује кашњење због пропагације сигнала кроз систем.



Слика 12: Мерење тачности PTP синхронизације на модулу CPUv5 (канал 1 – жути: референтни PPS сигнал са уређаја *Albedo*, канал 2 – плави: PPS сигнал са модула)

6 ЗАКЉУЧАК

Прецизно одређивање временских догађаја и синхронизација времена играју све значајнију улогу у електропривредним системима. У новије време се за синхронизацију времена у енергетским објектима се све више користе системи везани за комутацију пакета од којих најбоље резултате даје РТР протокол. Еволуција Етернет технологије се све више помера ка гигабитним брзинама, па је због тога било неопходно тестирати нове хардверске компоненте које би омогућиле већу брзину Етернета, пре свега нових процесорских система, као и одговарајућих РНУ интерфејсних дигиталних блокова. У раду је приказано тестирање рада РТР протокола на развојном модулу који има могућност прикључивања тј. инсталирања надплочица са различитим процесорским системима из *Zynq* фамилије процесора, као и новог модула коришћеног у телезаштитном уређају TZ-600. Тестирање је вршено са процесорским системима *Zynq-7000* и *Zynq UltraScale+*. *Zynq UltraScale+* представља процесорски систем новије генерације те су са њим добијени очекивано бољи резултати и у случају коришћења софтверског РТР протокола. Прецизност временске синхронизације се побољшава уколико РНУ модул има могућност хардверског генерисања временских ознака, као и да ли је у *Linux* оперативном систему активиран одговарајући драјвер. Резултати које даје софтвер поређени су са резултатима мерења временске разлике узлазних ивица PPS сигнала добијеног из тест уређаја и генерисаног PPS сигнала на развојном модулу. Показало се да су резултати грешке временске синхронизације системског времена модула добијени мерењем нешто лошији од резултата које приказује софтвер. Генерално гледано прецизност синхронизације времена реализована помоћу РТР протокола се побољшава коришћењем бољих процесора и избором РНУ модула који имају могућност хардверског генерисања временских маркера. Преостаје испитивање прецизности синхронизације времена у случају реализације подршке за РТР протокол у PL делу процесорског система, као и тестирање са новим пројектованим модулима телезаштитног уређаја у реалном окружењу.

7 ЛИТЕРАТУРА

- [1] D. L. Mills “COMPUTER NETWORK TIME SYNCHRONIZATION The Network Time Protocol on Earth and in Space,” Second Edition, CRC Press, Boca Raton, London, New York, 2011
- [2] “IEEE Standard for a Precision Clock Synchronization Protocol for Networked Measurement and Control Systems,” in IEEE Std. 1588-2019 (Revision of IEEE Std. 1588-2008), pp. 1-499, 16 June 2020, DOI: 10.109/IEEESTD.2020.9120376.
- [3] Larry Thoma: “Best Practices for Implementing PTP in the Power Industry,” Schweitzer Engineering Laboratories, 2018
- [4] Alexander Apostolov: “IEC 61850: Digitizing the Electric Power Grid,” Artech House, 2023.
- [5] IEC 61850 Communication Networks and Systems for Power Utility Automation Part 5: Communication Requirements for Functions and Device Models, 2003

- [6] Z. Liu, D. Zhao, M. Huang and Y. Zhang “A universal method for implementing IEEE 1588 with the 1000M Ethernet Interface,” 2016 IEEE AUTOTESTCON, Anaheim, CA, USA, 2016, pp. 1-7, DOI: 10.1109/AUTEST.2016.7589598
- [7] P. Pandey, B. Pratap, R. S. Pandey, “Implementation of FreeRTOS based Precision Time Protocol (PTP) application as per IEEE1588v2 standards for Xilinx Zynq UltraScale Plus MPSoC devices,” 2019 International Conference on Communication and Electronics Systems (ICCES), Coimbatore, India, 2019, pp. 1968-1973, DOI: 10.1109/ICCES45898.2019.9002151
- [8] P. Pandey, B. Pratap, R. S. Pandey “Analysis and Design of Precision Time Protocol System Based on IEEE1588 Standards,” 2019 International Conference on Communication and Electronics Systems (ICCES), Coimbatore, India, 2019, pp. 1963-1967, DOI: 10.1109/ICCES45898.2019.9002096
- [9] X. Wei, X. Xiong, Z. Luo, J. Wang, K. Cheng “An Enhanced IEEE1588 Clock Synchronization for Link Delays Based on a System-on-Chip Platform,” Intl Journal of Electronics and Telecommunications, 2021, Vol. 67, No. 2, pp. 289-294, DOI: 10.24425/ijet.2021.135978
- [10] J. Cha, T. Park, “Research and Implementation of Network Clock Synchronization Based on IEEE1588v2 Protocol,” 2021 International Conference on Information and Communication Technology Convergence (ICTC), Jeju Island, Republic of Korea, 2021, pp. 1794-1796, DOI: 10.1109/ICTC52510.2021.9620921
- [11] Lan, Y.-K.; Chen, Y.-S.; Hou, T.-C.; Wu, B.-L.; Chu, Y.-S. “Development Board Implementation and Chip Design of IEEE 1588 Clock Synchronization System Applied to Computer Networking,” Electronics 2023, 12, 2166. DOI: 10.3390/electronics12102166
- [12] Z. Li, Z. Zhong, W. Zhu, B. Qin, “A Hardware Time Stamping Method for PTP Messages Based on Linux System,” TELKOMNIKA, Vol. 11, No. 9, September 2013, pp. 5105~5111, e-ISSN: 2087-278X
- [13] J-L. Ferrant, M. Gilson, S. Jobert, M. Mayer, L. Montini, M. Ouellette, S. Rodrigues, S. Ruffini “Synchronous Ethernet and IEEE 1588 in Telecoms: Next Generation Synchronization Networks,” John Wiley & Sons, 2013
- [14] Implementing IEEE 1588v2 for use in the mobile backhaul, Technical Brief, Calnex Solution Ltd
- [15] L. H. Crockett, D. Northcote, C. Ramsay, F. D. Robinson, R. W. Stewart, „Exploring Zynq MPSoC With PYNQ and Machine Learning Applications,“ Strathclyde Academic Media, Glasgow, Scotland, UK, April 2019.
- [16] R. Cochran, C. Marinescu and C. Riesch, “Synchronizing the Linux system time to a PTP hardware clock,” IEEE International Symposium on Precision Clock Synchronization for Measurement, Control and Communication, Munich, Germany, 2011, pp. 87-92, DOI: 10.1109/ISPCS.2011.6070158.

- [17] TE0715 TRM, revision v.90, exported on 17-10-2024, on line document version:
<https://wiki.trenz-electronic.de/display/PD/TE0715+TRM>
- [18] TE0820 TRM, revision v.104, exported on 14-10-2024, on line document version:
<https://wiki.trenz-electronic.de/display/PD/TE0820+TRM>
- [19] TEB0707 TRM, revision v.45, exported on 25-11-2020, on line document version:
<https://wiki.trenz-electronic.de/display/PD/TEB0707+TRM>
- [20] Marvell Alaska 88E1512: Integrated 10/100/1000 Mbps Energy Efficient Ethernet Transceiver Block Diagram
- [21] <https://www.marvell.com/content/dam/marvell/en/public-collateral/phys-transceivers/marvell-phys-transceivers-alaska-88e1512-product-brief.pdf>
- [22] DP83640 Precision PHYTER – IEEE 1588 Precision Time Protocol Transceiver, Datasheet, SNOSAY8F, Texas Instruments, September 2007, revised april 2015
- [23] <https://sourceforge.net/projects/linuxptp>
- [24] xGenius, Zeus Ethernet & IP Testing Guide, User's Manual, UM-XGENIUS-ETH-2020-10, Albedo, Telecom, 2020
- [25] А, Кабовић, М. Кабовић, В. Челебић, И. Салом, С. Митровић „Примена временске синхронизације IEEE 1588 при коришћењу стандарда IEC 61850 у телезаштитним уређајима“, симпозијум CIGRE Србија